

# Sujet de stage NUC-NUM-002

## *NUCLETUDES, pôle numérique*

Le pôle numérique de NUCLETUDES a pour mission de réaliser des travaux de R&T afin de proposer des techniques innovantes dans le domaine de la vulnérabilité et la tenue de systèmes électroniques aéronautiques et spatiaux dans des conditions environnementales sévères. A ce titre, la réalisation de démonstrateurs « hardware in the loop » et de bancs de test numériques mettant en œuvre des architectures embarquées, modulables et hautes performances représente un enjeu important. C'est pourquoi, au sein de ce département, nous proposons l'offre de stage suivante :

### **Développement d'un SoC versatile basé autour d'un processeur softcore RISC-V**

L'évolution rapide de l'électronique numérique, marquée par la miniaturisation croissante des composants, la demande croissante en puissance de calcul et l'émergence de nouvelles architectures, suscite un intérêt de plus en plus croissant auprès des équipementiers du secteur de l'aérospatial. Néanmoins, la question de la tolérance aux fautes de ces architectures est importante dans la mesure où les composants et technologies mis en œuvre n'ont pas été conçus spécifiquement pour tenir des environnements radiatifs sévères car la plupart d'entre eux visent des applications automobiles et grand public.

Pour répondre à cette problématique, l'amélioration des bancs de test déjà existant afin d'intégrer de nouvelles fonctionnalités toujours plus complexes représente un travail continu au sein des équipes du pôle numérique. A cela s'ajoute un travail de communication lors des salons et conférences où l'objectif est de mettre en œuvre des architectures « hardware in the loop » afin d'illustrer la composante numérique dans le spectre des compétences techniques de NUCLETUDES. Ainsi, le besoin d'une architecture performante et hautement modulable représente un réel intérêt.

Ce sujet de stage a pour but de développer un SoC hautement versatile basé autour d'un processeur softcore RISC-V haute performance. Ce SoC sera synthétisé sur une cible programmable (FPGA) afin d'exécuter un programme simulant des algorithmes de guidage et de navigation de lanceurs spatiaux. Les travaux réalisés au cours de ce stage pourront se faire en collaboration avec le sujet de stage NUC-NUM-001.

L'organisation de ce stage se décompose en 4 phases :

- 1) Etude bibliographique des processeurs softcores RISC-V.
- 2) Prise en main de l'environnement de développement FPGA et plus particulièrement des spécificités liées à la mise en œuvre de processeurs softcores.
- 3) Développement & Validation du SoC versatile basé autour d'un cœur RISC-V.
- 4) Portage d'un algorithme de guidage et de navigation de lanceurs spatiaux sur le SoC.

**Profil du candidat :**

Vous êtes en dernière année d'école d'ingénieur ou de master en électronique avec une spécialité en conception numérique.

- ❖ Les compétences (techniques) essentielles pour ce stage sont :
  - Maîtrise des langages de description matérielle (VHDL/Verilog)
  - Maîtrise de conception/simulation FPGA (Vivado/Questasim)
  - Maîtrise des langages de programmation embarqués (C/C++)
  - Maîtrise de l'anglais technique
  - Utilisation de base de l'instrumentation de laboratoire
  
- ❖ Les compétences non-essentielles mais toutefois fortes utiles pour ce stage sont :
  - Connaissance sur le fonctionnement des soft processeurs (RISC-V)
  - Forte autonomie et curiosité scientifique

Être force de proposition et avoir un fort attrait pour l'aérospatial et le domaine de la défense représente un plus dans le cadre de ce stage.

Profil compatible d'une habilitation défense.

Le stage se déroule aux Ulis (91).

Si vous êtes intéressé(e) par cette offre, merci d'adresser votre candidature (cv + lettre de motivation) :

Laëtitia Le Mercier, Directrice des Ressources Humaines et de la Communication

[llemercier@nuclétudes.com](mailto:llemercier@nuclétudes.com)